

一种基于可配置共享寄存器堆的 多核处理器核间数据交换结构设计

方 颖, 谢 憬, 王 琴
(上海交通大学 微电子学院, 上海 200240)

摘 要: 针对多核体系架构提出了一种利用可配置共享寄存器堆实现多核处理器核间数据交换的结构, 详细介绍了该结构的各组成部分及其实现机制, 并对该结构的性能做出了相应的评估。

关键词: 多核处理器; 分布式存储器; 并行处理; 可配置; 共享寄存器堆

中图分类号: TP302.1

文献标识码: A

文章编号: 1000-7180(2011)04-0065-03

Design of a Inter-Core Data Exchange Architecture for Multi-Processor Based on Configurable Shared Register File

FANG Ying, XIE Jing, WANG Qin

(School of Microelectronics, Shanghai Jiaotong University, Shanghai 200240, China)

Abstract: In this paper, we present a novel design of inter-core data exchange architecture for multi-processor based on configurable shared register file. We describe the components of this data exchange architecture and its working mechanism, finally, we give an estimation on the performance of the architecture.

Key words: multi-core processor; distributed memory; parallel processing; configurable; shared register file

1 引言

近年来,多媒体及无线通信技术的发展十分迅速,这些领域中使用到的很多热点算法的实现方式具有天生的并行性,非常适宜于在多核体系架构上实现. 如何设计多核架构,在不显著增加其复杂度的情况下,使其可以更高效的并行处理数据,是一个非常关键的问题.

多核处理器也称为片上多处理器,自从此概念被提出以来,出现了多种多核架构,本文对其中一些

典型架构的核间数据交换方式小结如表 1 所示^[1].

从表 1 中可以看出,现有的多核处理器结构多采用效率一般的共享 cache 结构或者结构复杂的片上网络结构实现核间数据交换. 为了提高多核处理器的性能,简化其结构,本文提出了一种应用在多核处理器架构上的数据交换结构,通过使用共享寄存器的方式,来改善多核处理器并行处理数据时的性能,提高数据交换效率. 文中详细介绍了该结构的各组成部分及其实现机制,并对该结构的性能做出了相应的评估.

表 1 典型多核结构

多核结构名称	核数	同构异构	数据交换方式
Hydra 处理器	4	同构	私有一级 cache, 共享二级 cache
Raw 处理器	16	同构	片上网络
Niagara 处理器	8	同构	共享二级 cache
Cell 处理器	9	异构	共用一个存储器控制器, 通过内部总线通信

2 核间数据交换结构

2.1 总体结构

如图 1 所示,本设计采用四核结构,每个核均为一个结构简单的 RISC 架构微处理器,分别有各自的指令存储器(Imem)和数据存储器(Dmem),每个微核(下文简称 Pcore)可以通过多层总线^[2]访问其他核的数据存储器.针对特定应用,该多核结构使用单程序段多数据(SPMD, Single Program Multiple Data)方式处理数据,即所有微核执行同一程序段,并行的处理多维数据.

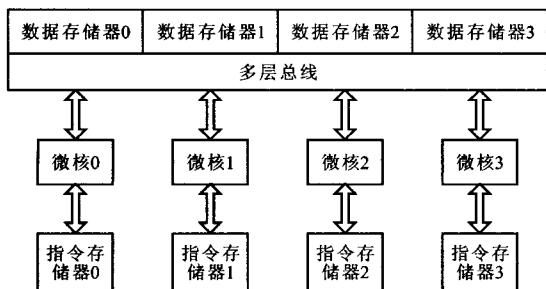


图 1 多核架构

2.2 数据交换机制的特点

考虑到很多适用于 SPMD 方式的算法在多核结构上实现时存在如下问题:采用数据存储器作为传播媒介,数据交互时需要多次访问数据存储器,由此又衍生出导致处理器结构复杂及增加编程复杂度的问题.为了避免上述弊端,对数据交换机制的要求可以概括为:不通过在核外多次访问存储器来传递数据,不增加编程复杂度.

本文设计采用共享寄存器堆的方式实现核间数据交换.共享寄存器^[3]是多核结构中的一种设在处理单元之间的特殊寄存器,可被与其相连的多个处理单元访问到,其优点在于提高数据交换效率.当需要通讯时,源处理单元将数据送到目的处理单元共享的寄存器中,而目的处理单元需要使用该数据时,直接从共享寄存器中读取就可以得到该数据,无需额外访存.

2.3 核内寄存器堆结构

核内寄存器堆划分为三大部分:本地寄存器堆、共享寄存器堆及配置字寄存器堆.

本地寄存器堆(Local Register file)包括 16 个寄存器,每个寄存器为 32 位.本地寄存器堆用于核内数据的封闭运算,运算过程中不与核外数据发生任何交互,本地处理器对本地寄存器堆具有完全的读写权限.本地寄存器堆分为两组,每组有一个读端

口和一个写端口.两组寄存器堆接收不同的读地址信号,给出相应的读出值;接收同一个写地址和数据输入信号,以保证两组寄存器堆内容一致.

共享寄存器堆(Shared Register file)包括 4 个寄存器,每个寄存器为 32 位,相应寄存器编号为 sr0~sr3.共享寄存器堆与核外其他微核的共享寄存器之间存在特殊互连方式,用于实现核间数据交互.本地处理器对共享寄存器堆具有读权限,写权限根据应用需要分别分配给本地或者其他的处理器.共享寄存器堆有两个读端口和四个写端口,最多可以接受来自四个不同的 Pcore 的写信号.其具体结构见图 2.

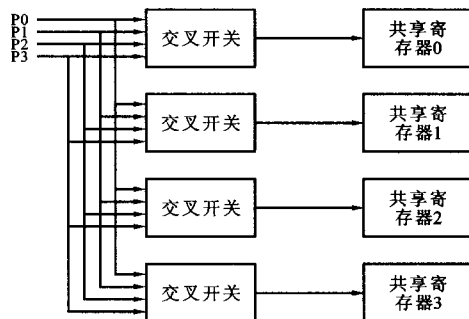


图 2 共享寄存器堆结构

配置字寄存器堆(Context Register file)包含四个 4 位的寄存器.本设计采用特殊指令,可向配置字寄存器中写入 4 比特的立即数,该立即数表示向特殊寄存器写数据时数据流向的目的地址,高 2 位为 Pcore 选择位,低 2 位为寄存器选择位.cr0~cr3 中的立即数分别对应本地 Pcore 向 reg16~reg19 写数据时数据实际的归属地.配置寄存器堆的存在使得共享寄存器堆之间的互连可配置,增加了共享寄存器堆设计的灵活性.

2.4 指令的类型

为了方便对共享寄存器堆的配置,本文的设计方案把指令分为两类:用于初始化配置字寄存器堆的指令和普通的运算及逻辑指令.

初始化配置字寄存器堆指把一个 4 bit 的二进制立即数放入指令指定的配置字寄存器中,这个二进制立即数指定了本地 Pcore 的写信号应该流向哪个 Pcore 的哪个共享寄存器.

2.5 基于可配置共享寄存器堆结构的 DCT 算法实现示例

引入可配置共享寄存器堆后,可根据图 3 所示步骤实现所需要的算法.

本文以二维 44 DCT 算法为例,给出该算法利用共享寄存器堆实现的具体过程.

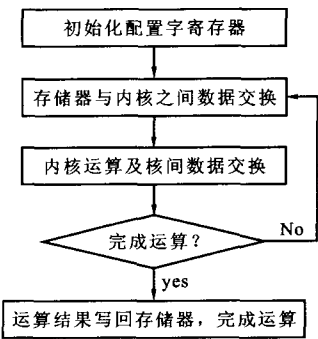


图 3 实现步骤

由二维 DCT 算法的定义^[4]可知,对于 $N \times N$ 的输入矩阵 X ,其输出矩阵 Z 为

$$z(k,l)=\frac{2}{N}\alpha(k)\alpha(l)\sum_{m=0}^{N-1}\sum_{n=0}^{N-1}x(m,n)\times\cos\frac{(2m+1)\pi k}{2N}\cos\frac{(2n+1)\pi l}{2N}$$

其中

$$\alpha(0)=\sqrt{\frac{1}{2}},\alpha(k)=1(k\neq0)\tag{1}$$

定义正交矩阵 A :

$$a(u,v)=\sqrt{\frac{2}{N}}\alpha(u)\cos\frac{(2v+1)\pi u}{2N}\tag{2}$$

则有

$$Z=AXA^T\tag{3}$$

从而推出二维 DCT 运算可通过两次一维 DCT 运算来完成.在两次一维 DCT 运算之间,需要对第一次的运算结果做转置操作,若内核通过和存储器进行数据交换来实现该转置操作,是非常耗时的,所以选择使用共享寄存器堆,通过核间数据交换的方法来实现这一过程.

表 2 为对四个 Pcore 的 Context Register file 的初始化情况. CR0~CR3 的配置分别对应 SR0~SR3 的连接方式.该配置对应的核间互连关系见图 4:每列的寄存器堆分别对应微核 P0~P3 的共享寄存器堆.在本地 Pcore 向其特殊寄存器(在本地 Pcore 看来)写数据时,在存在箭头的地方,数据会沿箭头方向写入其他 Pcore 的对应寄存器中;圆

表示数据未流向其他 Pcore 的共享寄存器,而是直接被写入了本地 Pcore 对应的共享寄存器中.根据图 4 所示互连,四个核分别取原始矩阵的列数据 c0、c1、c2、c3,同时在核内做一维 DCT 运算,并且直接把四个计算结果写入 reg16~reg19,该操作的结果实际上为把中间矩阵的行数据 r0、r1、r2、r3 分别写入了内核 P0、P1、P2、P3 的寄存器堆中,内核无需通过与存储器的交互,即可立即读取新的行数据继续做后续运算,提高了效率.

表 2 配置字寄存器初始化情况

	CR0	CR1	CR2	CR3
Pcore0	0000	0100	1000	1100
Pcore1	0001	0101	1001	1101
Pcore2	0010	0110	1010	1110
Pcore3	0011	0111	1011	1111

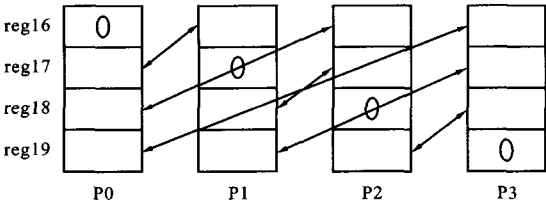


图 4 共享寄存器堆互连方式

3 性能评估

本文选择了一些典型算法应用在上述核间数据交换结构上,其中 DCT、FFT 分别采用文献[4-5]所述算法实现.在所有的计算操作耗时 1 周期,本地访存操作(local load/store)耗时 2 周期的前提下,分析了使用共享 cache 采用轮询机制访问数据存储器的四核结构与使用可配置共享寄存器堆及分布式存储器四核结构时二者所有访存指令耗费的周期数及整个运算消耗的周期数总和,给出表 3 所示的评估结果.

从该表可以看出,使用共享寄存器堆及分布式存储器的四核结构极大的利用了算法的并行性,对访存性能和总性能的提升率是很明显的.

表 3 性能比较

访存周期数/总周期数	4×4 DCT	8×8 DCT	8 点 FFT	16 点 FFT
使用共享 cache 的四核结构	128/156	512/652	128/152	224/272
使用分布式存储器及 SR 的四核结构	16/44	64/204	16/40	48/96
访存性能提高率/%	88	88	88	79
总性能提高率/%	71	69	74	65

- [2] Hermann Kopetz, Astrit Ademaj, Petr Grillinger, et al. The time-triggered ethernet (TTE) design [C]// Eighth IEEE International Symposium on Object-Oriented Real-Time Distributed Computing, ISORC 2005. Washton; IEEE, 2005(5):22-33.
- [3] 冯晓东, 张争明, 张刚. TTCAN 网络调度平台的设计优化[J]. 微电子学与计算机, 2010, 27(3):67-70.
- [4] 杨仕平, 桑楠, 熊光泽. 基于 Ethernet 技术的安全关键实时网络[J]. 软件学报, 2005, 16(1):121-134.
- [5] 朱智林, 刘晓华, 韩俊刚. TTCAN 周期性任务的优化调度算法[J]. 兰州大学学报: 自然科学版, 2005, 41(4):73-76.
- [6] Qiao Xin, Wang Kunfeng, Sun Yuan, et al. A genetic algorithms based optimization for TTCAN [C]// IEEE International Conference on Vehicular Electronics and

Safety (ICVES) [S. L.]. IEEE, 2007:1-7.

- [7] 周悦, 王智于, 海斌, 等. 扩展单调速率算法及在 FF 调度时间表构建中的应用[J]. 信息与控制, 2001, 30(5):418-421.

作者简介:

徐亮 男, (1986-), 硕士研究生. 研究方向为数据管理、网络软件.

张延国 男, (1956-), 教授. 研究方向为网络存储、软件工程.

林奕 男, (1976-), 副教授. 研究方向为实时网络、存储网络.

林伟 男, (1981-), 博士生. 研究方向为数据存储、网络数据管理.

(上接第 67 页)

4 结束语

文中提出了一种基于可配置共享寄存器堆的多核处理器核间数据交换结构, 详细介绍了该设计的结构及实现机制, 并评估了该结构的性能. 评估结果表明, 使用核间共享寄存器的方式实现核间数据交换可以较明显的提高数据交换的效率.

参考文献:

- [1] 黄国睿, 张平, 魏广博. 多核处理器的关键技术及其发展趋势[J]. 计算机工程与设计, 2009, 30(10):2414-2418.
- [2] Jean Pegga Bissou, Mathieu Dubois, Yvon Savaria, et al. High-speed system bus for a soc network processing platform[C]// IEEE International Conference on Micro-

electronics. [S. L.]. IEEE, 2003:194-197.

- [3] Nozar Tabrizi, Nader Bagherzadeh. A distributed and shared register file for a multiprocessor-on-chip to support real-time applications. System-on-Chip for Real-Time Applications [J]. The 6th International Workshop on system-on-chip for Real-Time Applications, 2006:215-220.

- [4] 陈伟, 卢贵主, 郑灵翔. 二维 DCT 算法及其精简的 VLSI 设计[J]. 微电子学与计算机, 2008(3):107-110.

- [5] 董慧, 卫铭斐, 江丽, 等. 基于 FPGA 的 FFT 处理器的设计与仿真[J]. 微电子学与计算机, 2008(11):117-120.

作者简介:

方颖 女, (1986-), 硕士研究生. 研究方向为大规模集成电路设计与验证.